

JP2000106431

Publication Title:

MANUFACTURE OF SEMICONDUCTOR DEVICE

Abstract:

Abstract of JP2000106431

PROBLEM TO BE SOLVED: To provide a semiconductor device, which is excellent in inhibiting a short-channel effect. **SOLUTION:** A gate electrode 4 and risen source and drain parts 7, which are positioned on the sides of the electrode 4, are formed on a silicon substrate 1, second sidewall spacers 8, which lie over on the end parts of the source and drain parts 7, are respectively formed on the sidewalls of the electrode 4 and phosphorus ions are introduced in the parts 7 and the parts, which are positioned under the parts 7, of the surface of the substrate 1 using these spacers 8 as masks. In this state, a heat treatment is performed, whereby phosphorus is diffused extending over from the parts 7 to the parts of the surface of the substrate 1 and a shallow junction of source and drain diffused regions 5 are formed. By such a way, the regions 5 are respectively constituted of a shallow junction of an N⁺ layer 5a and a deep junction of an N⁺ layer 5b in the state corresponding to phosphorus impurity concentration distributions. After that, the parts 7 are silicified.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-106431

(P2000-106431A)

(43)公開日 平成12年4月11日 (2000.4.11)

(51)Int.Cl.⁷
H 01 L 29/78
21/28
21/336

識別記号
3 0 1

F I
H 01 L 29/78
21/28
29/78

テマコード^{*}(参考)
3 0 1 S 4 M 1 0 4
3 0 1 T 5 F 0 4 0
3 0 1 P
3 0 1 L

審査請求 未請求 請求項の数 3 O.L. (全 5 頁)

(21)出願番号 特願平10-273903

(22)出願日 平成10年9月28日 (1998.9.28)

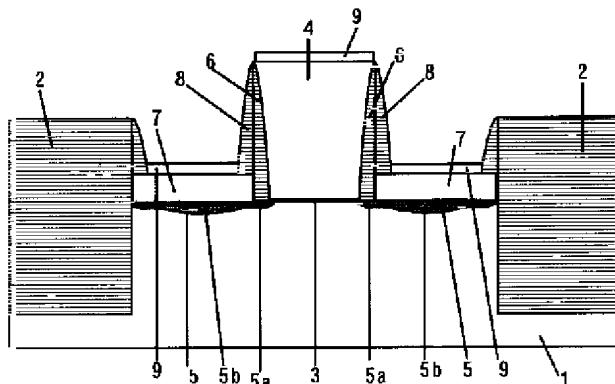
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 藤原 英明
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74)代理人 100076794
弁理士 安富 耕二 (外1名)
Fターム(参考) 4M104 AA01 BB25 CC01 DD02 GG09
GG14
5F040 DC01 EC07 EF04 EF05 EF10
FA01 FA02 FA03 FA07 FC11

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 短チャネル効果の抑制効果に優れた半導体装置を提供すること。

【解決手段】 シリコン基板1上に、ゲート電極4とその横に位置するライズドソース・ドレイン部7を形成し、ゲート電極4の側壁に、ライズドソース・ドレイン部7の端部上に跨る第2のサイドウォール・スペーサ8を形成し、この第2のサイドウォール・スペーサ8をマスクとして、ライズドソース・ドレイン部7及びその下の基板1にリンイオンを導入する。この状態で、熱処理を行うことにより、ライズドソース・ドレイン部7から基板1の表面にリンを拡散させ、浅い接合のソース・ドレイン拡散領域5を形成する。こうすることにより、ソース・ドレイン拡散領域5は、リンの不純物濃度分布に対応して、浅い接合のn⁺層5aと深い接合のn⁺層5bとで構成される。その後、ライズドソース・ドレイン部7をシリサイド化する。



【特許請求の範囲】

【請求項1】 半導体基板上に、ライズドソース・ドレイン部を形成する工程と、前記ライズドソース・ドレイン部の端部をマスクした状態で、このライズドソース・ドレイン部及びその下の半導体基板に不純物を導入する工程と、前記ライズドソース・ドレイン部から前記半導体基板に対し、前記不純物を拡散させることにより、ソース・ドレイン拡散領域を形成する工程と、前記ライズドソース・ドレイン部の少なくとも表面をシリサイド化する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項2】 半導体基板上に、ゲート電極とその横に位置するライズドソース・ドレイン部を形成する工程と、

前記ゲート電極の側壁に、前記ライズドソース・ドレイン部の端部に跨るサイドウォール・スペーサを形成する工程と、

前記サイドウォール・スペーサをマスクとして、前記ライズドソース・ドレイン部及びその下の半導体基板に不純物を導入する工程と、

前記ライズドソース・ドレイン部から前記半導体基板に対し、前記不純物を拡散させることにより、ソース・ドレイン拡散領域を形成する工程と、

前記ライズドソース・ドレイン部の少なくとも表面をシリサイド化する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項3】 前記ソース・ドレイン拡散領域における不純物プロファイルが、その端部で浅く、それ以外の個所で深く形成されていることを特徴とした請求項1又は2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係り、詳しくは、MISトランジスタの製造方法に関するものである。

【0002】

【従来の技術】 従来、微細化されたMOSトランジスタにおいて、短チャネル効果を抑えるために、深い接合形成が求められてきた。しかし、イオン注入で拡散層を形成する場合、その深さを50nm以下にするのは難しく、深い接合形成には限界がある。また、接合が浅くなるにつれソース・ドレインの抵抗が増大するため、寄生抵抗によるMOSトランジスタの駆動力低下が顕著となる。

【0003】 上記の深い接合形成に伴う問題点を解決するために、ライズドソース・ドレイン構造のMOSトランジスタが提案されている(S.S.Wong他;IEDM Technology Digest, P.634, 1984)。ライズドソース・ドレイン構造の形成方法としては、(1) S.S.Wong他が提唱した通

常の方法と、(2) ディスパーサブルスペーサを用いた方法 (J.R.Phiester他;IEDM Technology Digest, P.885, 1992)が提案されている。以下、nチャネルMOSトランジスタの製造方法を例にとって説明する。

【0004】 (1) 通常の方法

ゲート電極作成後、窒化膜をゲート電極上に形成する。続いて、低濃度拡散層n⁻層を形成するためにリンをイオン注入する。次にゲート電極側壁に絶縁膜のサイドウォールスペーサを形成する。その後、基板の露出したソース・ドレイン部分に、選択的にシリコンをエピタキシャル成長させてソース・ドレイン部分を盛り上げる。続いて、高濃度のn⁺層形成のためにヒ素の注入を行う。その後、ゲート電極上の窒化膜を除去する。

【0005】 (2) ディスパーサブルスペーサを用いた方法

ゲート電極作成後、酸化膜をゲート電極上に形成する。次にゲート電極側壁に窒化膜のサイドウォールスペーサを形成する。その後、ソース・ドレイン部分に、選択的にシリコンをエピタキシャル成長させてソース・ドレイン部分を盛り上げる。続いて、高濃度のn⁺層形成のためにヒ素の注入を行う。その後、サイドウォールスペーサを除去する。続いて低濃度のn⁻層を形成するためにリンをイオン注入する。その後、再びサイドウォールを形成する。

【0006】

【発明が解決しようとする課題】 (1) の通常の方法では、n⁻層の不純物の拡散が、エピタキシャル層形成時の熱履歴に影響されるので、所望の接合の深さを制御することが難しいといった問題があった。一方、(2) のディスパーサブルスペーサを用いた方法ではn⁺層形成後にn⁻層を形成するため、n⁻層はエピタキシャル成長時の熱履歴を受けない。そのため、n⁻層を正確に所定の領域まで拡散させることが可能になる。

【0007】 しかしながらこの方法では、サイドウォールスペーサを、一旦除去した後に再び形成しなければならず、工程数が増えるといった問題があった。本発明は上記問題点を解決するためになされたものであって、短チャネル効果の抑制効果に優れた半導体装置を提供することをその目的とする。

【0008】

【課題を解決するための手段】 請求項1に記載の半導体装置の製造方法は、半導体基板上に、ライズドソース・ドレイン部を形成する工程と、前記ライズドソース・ドレイン部の端部をマスクした状態で、このライズドソース・ドレイン部及びその下の半導体基板に不純物を導入する工程と、前記ライズドソース・ドレイン部から前記半導体基板に対し、前記不純物を拡散させることにより、ソース・ドレイン拡散領域を形成する工程と、前記ライズドソース・ドレイン部の少なくとも表面をシリサイド化する工程と、を含むことをその要旨とする。

【0009】請求項2に記載の半導体装置の製造方法は、半導体基板上に、ゲート電極とその横に位置するライズドソース・ドレイン部を形成する工程と、前記ゲート電極の側壁に、前記ライズドソース・ドレイン部の端部に跨るサイドウォール・スペーサを形成する工程と、前記サイドウォール・スペーサをマスクとして、前記ライズドソース・ドレイン部及びその下の半導体基板に不純物を導入する工程と、前記ライズドソース・ドレイン部から前記半導体基板に対し、前記不純物を拡散させることにより、ソース・ドレイン拡散領域を形成する工程と、前記ライズドソース・ドレイン部の少なくとも表面をシリサイド化する工程と、を含むことをその要旨とする。

【0010】請求項3に記載の半導体装置の製造方法は、請求項1又は2に記載の発明において、前記ソース・ドレイン拡散領域における不純物プロファイルが、その端部で浅く、それ以外の個所で深く形成されていることをその要旨とする。すなわち、ライズドソース・ドレイン部の少なくとも表面をシリサイド化することにより、ライズドソース・ドレイン部自身を低抵抗化する。

【0011】また、ライズドソース・ドレイン部からの拡散により、ソース・ドレイン拡散領域を形成するから、その端部に浅い接合を有するソース・ドレイン拡散領域が形成される。また、ソース・ドレイン拡散領域は、その端部以外の不純物プロファイルが比較的深く形成されているから、ライズドソース・ドレイン部のシリサイド化によっても、接合を越えてシリサイド化が進行したり、また、シリサイド化された領域が接合に近づくことで接合リーク電流が増加したりすることを防止できる。

【0012】

【発明の実施の形態】以下、本発明をNチャネルMOSトランジスタに具体化した一実施形態を図面に従って説明する。図1は、本実施形態におけるMOSトランジスタの断面図である。P型単結晶シリコン基板1上には素子分離膜2が形成され、この素子分離膜で挟まれた領域には、ゲート酸化膜3を介してポリシリコンゲート電極4が形成されている。シリコン基板1の表面には、ポリシリコンゲート電極4を挟むように、ソース・ドレイン拡散領域5が形成されている。

【0013】ゲート電極4の側壁には、第1のサイドウォール・スペーサ6が形成されている。ソース・ドレイン拡散領域5の上には、この第1のサイドウォール・スペーサ6を介して、ゲート電極4を挟むようにライズドソース・ドレイン部7が形成されている。第1のサイドウォール・スペーサ6の側壁には、ライズドソース・ドレイン部7の端部上に跨るように第2のサイドウォール・スペーサ8が形成されている。

【0014】ここで、ソース・ドレイン拡散領域5における第1のサイドウォール・スペーサ6の直下とその近

傍は、浅い接合のn⁺層5aから成っている。一方、第1のサイドウォール・スペーサ6から離れた部分のソース・ドレイン拡散領域5は、比較的深い接合のn⁺層5bから成っている。ゲート電極4及びライズドソース・ドレイン部7の各表面には、チタンシリサイド膜9が形成されている。

【0015】次に、このように構成されたNチャネルMOSトランジスタの製造工程を順を追って説明する。

工程1(図2参照)：P型単結晶シリコン基板1に、ウェル濃度(抵抗率)調整用のホウ素イオンを注入した後、基板1上に、ポリシリコン膜10(膜厚：50nm)を形成する。その後、ポリシリコン膜10の上に、シリコン酸化膜11(膜厚：100nm)、シリコン窒化膜12(膜厚：100nm)を連続的に形成する。これらの各膜の形成にはどのような方法(CVD法、PVD法など)を用いててもよい。

【0016】工程2(図3参照)：素子分離領域に溝部を形成し、この溝部内にシリコン酸化膜を埋め込むことにより、素子分離膜2を形成する。この埋め込み工程は、CVD法などでシリコン酸化膜を形成した後、これをエッチバックすることにより行うが、例えば熱酸化法により形成しても良い。また、必要に応じて、素子分離膜2の形成前に、溝部に素子分離能力向上のためにホウ素イオンを注入しても良い。

【0017】工程3(図4参照)：ポリシリコン膜10、シリコン酸化膜11及びシリコン窒化膜12に、リソグラフィ技術及びエッチング技術を用いて、基板1に通じる溝部13を形成する。次に、全面にシリコン酸化膜(膜厚：30nm)を形成した後、これを異方性全面エッチバックを行うことにより、溝部13の内側側壁にサイドウォール・スペーサ6を形成する。

【0018】更に、溝部13内面のエッチングダメージを除去するために、溝部13内面に薄い犠牲酸化膜を形成した後、これを除去する。その後、溝部13底部に露出する基板1の表面に、熱酸化法用いて、ゲート酸化膜3(膜厚：4nm)を形成する。

工程4(図5参照)：溝部13内を含む全面にポリシリコンを堆積し、このポリシリコンにリン又はヒ素をドーピングした後、これを異方性全面エッチバックして、溝部13内にのみポリシリコンを埋め込むことにより、ゲート電極4を形成する。

【0019】工程5(図6参照)：シリコン窒化膜12及びシリコン酸化膜11を順次エッチング除去し、ポリシリコン膜10を露出させる。この時、シリコン酸化膜11のエッチングと同時に素子分離膜2の表面もエッチングされる。そして、全面にシリコン窒化膜(膜厚：30nm)を形成した後、これを異方性全面エッチバックを行うことにより、第1のサイドウォール・スペーサ6の外側に第2のサイドウォール・スペーサ8を形成する。この時、第2のサイドウォール・スペーサ8は、そ

の厚みのぶんだけポリシリコン膜10の端部を覆う。

【0020】工程6(図7参照)：第2のサイドウォール・スペーサ8をマスクとして、ポリシリコン膜10に対し、リン又はヒ素イオンを、加速エネルギー：30KeV(リン)、60KeV(ヒ素)、ドーズ量： 1×10^{15} atoms/cm²の条件で注入することにより、ライズドソース・ドレイン部7を形成する。この時、ライズドソース・ドレイン部7内に注入されたリン(又はヒ素)は、第2のサイドウォール・スペーサ8で覆われた端部にはほとんど存在せず、直接打ち込まれた中央部に存在している。

【0021】更に、注入されたイオンは、ライズドソース・ドレイン部7を通過して、その下の基板1にも到達し、この部分、すなわち、ライズドソース・ドレイン部7の中央部に対応する位置には、比較的深い接合のn⁺層5bが形成される。

工程7(図8参照)：温度900°Cで20分の熱処理を行うことにより、ライズドソース・ドレイン部7から基板1の表面にリン(又はヒ素)を拡散させて、この部分に浅い接合のソース・ドレイン拡散領域5を形成する。この時、上述した通り、基板1には比較的深い接合のn⁺層5bが形成されているので、それに対応して、ソース・ドレイン拡散領域5における第1のサイドウォール・スペーサ6の直下とその近傍は、浅い接合のn⁺層5aからなり、一方、第1のサイドウォール・スペーサ6から離れた部分のソース・ドレイン拡散領域5は、比較的深い接合のn⁺層5bからなる。

【0022】工程8(図1参照)：全面に、マグネットロンスパッタ法を用いて、チタン(Ti)膜(膜厚：30nm)を形成し、熱処理を行うことにより、チタン膜とゲート電極4及びライズドソース・ドレイン部7とを反応させ、ゲート電極4及びライズドソース・ドレイン部7の表面にチタンシリサイド(TiSi_x)膜9を形成する。その後、シリサイド化されていないチタン膜を除去する。これにより、ゲート電極4及びライズドソース・ドレイン部7が低抵抗化される。

【0023】以上の通り、本実施形態にあっては、ライズドソース・ドレイン部7へのイオン注入と熱処理とをそれぞれ1回ずつ行うだけで、端部に浅い接合を有し、中央部に比較的深い接合を有するNチャネルMOSトランジスタを製造することができる。また、ライズドソース・ドレイン部7の膜厚を50nmとしたので、ゲート電極4とライズドソース・ドレイン部7との間の容量を低く抑えることができ、ゲート遅延時間が小さくなるなど、トランジスタとしての特性が向上する。尚、このライズドソース・ドレイン部7の膜厚は、100nm以下が望ましく、中でも50nm以下とすることにより、ゲート電極4との容量をもっとも効果的に抑制することができる。

【0024】本発明は上記実施形態に限定されるもので

はなく、以下のように実施しても良い。

(1) PチャネルMOSトランジスタについても、上記実施形態と同様に製造する。その場合は、P型単結晶シリコン基板1をN型単結晶シリコン基板又はNウェル層に、ヒ素イオンをホウ素イオンにそれぞれ置き換え、他の工程は上記実施例と同じにする。これにより、N型単結晶シリコン基板上に、端部に位置する浅い接合のp⁺層と中央部に位置する比較的深い接合のp⁺層とを形成することができる。

【0025】(2) 半導体基板として、単結晶シリコン半導体基板だけでなく、ウェル、単結晶シリコン膜、多結晶シリコン膜、非晶質シリコン膜、化合物半導体基板、化合物半導体膜を用いる。

(3) ライズドソースドレイン部7として、ポリシリコンだけでなく、アモルファスシリコン、単結晶シリコン、高融点金属を含む各種金属膜、金属シリサイド膜などの導電材料膜を用いる。

【0026】

【発明の効果】以上詳述したように本発明によれば、短チャネル効果の抑制効果に優れた半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

【図2】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

【図3】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

【図4】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

【図5】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

【図6】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

【図7】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

【図8】本発明を具体化した一実施例形態におけるNチャネルMOSトランジスタの製造プロセスを示す断面図である。

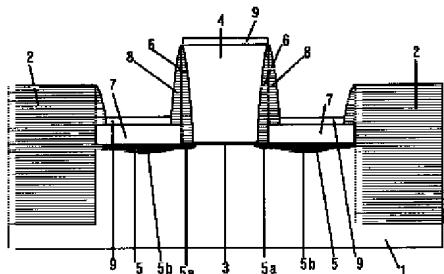
【符号の説明】

- 1 P型単結晶シリコン基板
- 2 素子分離膜
- 4 ゲート電極

5 ソース・ドレイン拡散領域
7 ライズドソース・ドレイン部

8 第2のサイドウォール・スペーサ

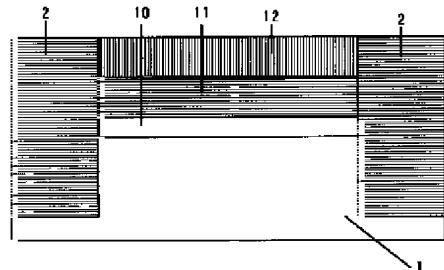
【図1】



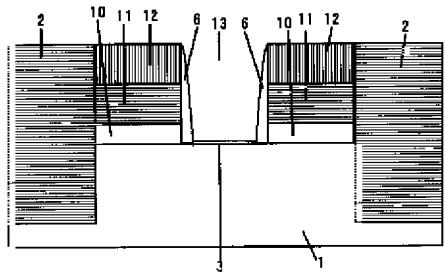
【図2】



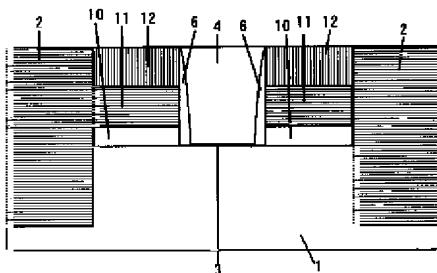
【図3】



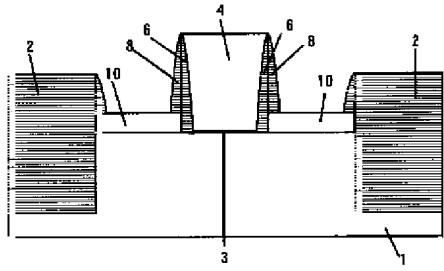
【図4】



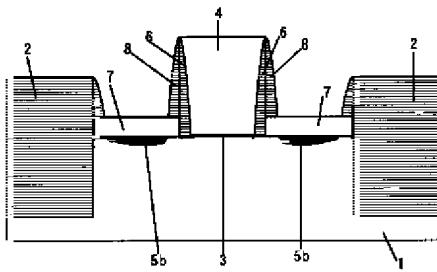
【図5】



【図6】



【図7】



【図8】

